

Prior Art References

1. Japanese Patent Application No.2000-68273
2. Japanese Patent Application No.1999-104942
3. Japanese Patent Application No.1999-090803
4. Japanese Patent Application No.1999-048109
5. Japanese Patent Application No.1999-033888
6. Japanese Patent Application No.1998-328989
7. Japanese Patent Application No.1998-309666
8. Japanese Patent Application No.1998-296641
9. Japanese Patent Application No.1992-034931
10. Japanese Patent Application No.1989-071656

J1046 U.S. PTO

10/085063



03/01/02

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000068273 A**(43) Date of publication of application: **03.03.00**

(51) Int. Cl.

H01L 21/3205(21) Application number: **10234347**(22) Date of filing: **20.08.98**

(71) Applicant:

TOSHIBA CORP

(72) Inventor:

**KUBOTA TAKESHI
MATSUI YOSHITAKA
IWADE KENJI
KITAMURA TOSHIHIKO
MASE KOICHI
YAHIRO KAZUYUKI
TOMITA KENICHI**
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

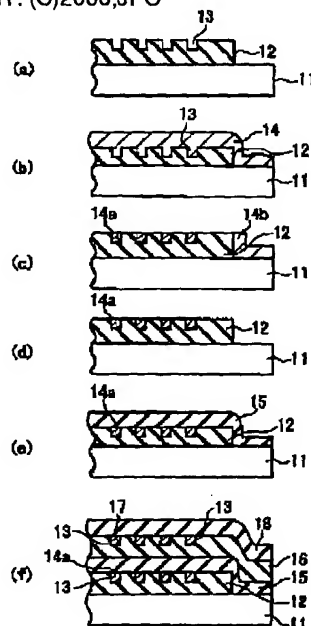
necessary.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To remove the effect of pollution on a wafer edge and to prevent the swelling and exfoliation of an insulating film by removing a conductive film on a first insulating film, removing a conductive film on a semiconductor substrate at a circumference of the first insulating film, and forming a second insulating film on the entire semiconductor substrate.

SOLUTION: A Cu film 14 serving as a conductive film is formed on the entire surface of a semiconductor substrate 11 by sputtering. Afterwards, the Cu film 14 is partially melted and is introduced into wiring grooves 13 so as to embed Cu into the wiring grooves 13. Then, an unwanted part of the Cu film 14 on the field part is removed by chemical mechanical polishing. Next, before a P-SiN film is formed, a Cu film 14b remaining on wafer edge is removed. Afterwards, a P-SiN film 15 is formed on the entire surface of the semiconductor substrate 11 so as to complete a first layer of a Cu-buried wiring. Then, another wiring is formed if



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-68273
(P2000-68273A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl.⁷

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

サーチコード* (参考)

M 5 F 0 3 3

K

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平10-234347

(22)出願日

平成10年8月20日(1998.8.20)

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

久保田 剛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者

松井 嘉孝

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人

100058479

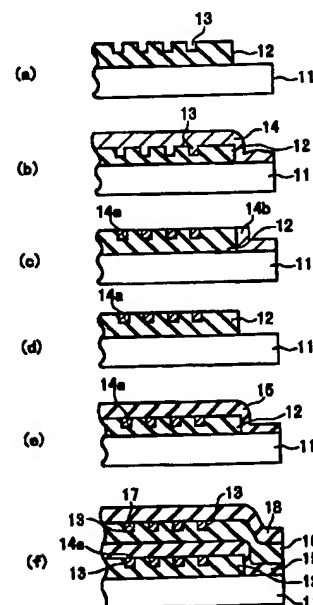
弁理士 鈴江 武彦 (外6名)

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ウエハエッジ部の絶縁膜に膨れや剥離に起因するダストにより、配線の歩留まりが低下していた。

【解決手段】 本発明の半導体装置の製造方法は、SiO₂膜12に形成された配線溝13をCu膜14により充填する。次いで、ウエハエッジ部52に残存するCu膜14をウエットエッチングやレーザ、CMPにより除去した後、全面にP-SiN膜15を形成する。

【特許請求の範囲】

【請求項1】 半導体基板上に第1の絶縁膜を形成する第1の工程と、
前記第1の絶縁膜に溝を形成する第2の工程と、
前記半導体基板の全面上に導電性材料膜を形成して前記溝中に前記導電性材料を充填する第3の工程と、
前記第1の絶縁膜上の前記導電性材料膜を除去する第4の工程と、
前記第1の絶縁膜の周縁に位置する前記半導体基板上的前記導電性材料膜を除去する第5の工程と、
前記半導体基板の全面上に第2の絶縁膜を形成する第6の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第5の工程における前記導電性材料膜の除去は、ウエットエッチングによって行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第5の工程における前記導電性材料膜の除去は、レーザ照射により前記導電性材料膜を蒸発させることによって行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第5の工程における前記導電性材料膜の除去は、化学的機械研磨によって行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第5の工程における前記導電性材料膜の除去は、半導体ウエハ外周部のパターンの形成されていない領域に対して行われることを特徴とする請求項1乃至4のいずれか1項記載の半導体装置の製造方法。

【請求項6】 前記導電性材料膜はCu膜であることを特徴とする請求項1乃至5のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置表面の絶縁膜中に形成される配線の製造方法に係わり、特に銅(Cu)を用いた埋込配線の製造方法に関する。

【0002】

【従来の技術】半導体装置は近時増々微細化され、これに伴い配線における信号の伝送遅延が問題となっている。この伝送遅延を回避するための一技術としてCuを用いた配線が開発されている。

【0003】図6は、Cuを用いた埋込配線層の従来の製造工程を示している。図6(a)に示すように、シリコン(Si)基板61上にCVD(Chemical Vapor Deposition)法により絶縁膜としてシリコン酸化膜(SiO₂膜)62が形成される。このSiO₂膜62上に、図示されていない所定のパターンを有するレジストマスクが形成される。次に、このレジストマスクを用い、リソグラフィ、反応性イオンエッチング(RIE)を行うことにより、SiO₂膜62の表面に複数の配線溝63が形成される。

【0004】次に、図6(b)に示すように、SiO₂膜62上にスパッタリングにより導電性材料膜であるCu膜64が形成される。このとき、Cu膜64下に図示されないバリアメタル膜が同時に形成される場合もある。その後、リフローにより、Cu膜64の一部が溶け、溝中に流入して溝中に埋め込まれる。

【0005】次に、図6(c)に示すように、SiO₂膜62上のフィールド部に形成された不要なCu膜64はCMP(化学的機械研磨)法により除去される。次に、図6(d)に示すように、全面にP(プラズマ)-SiN膜65が形成され、一層目のCu埋込配線の形成が終了する。

【0006】

【発明が解決しようとする課題】ところで、図5に示すように、半導体基板61としての半導体ウエハは、その周囲にパターンが形成されない部分(これをウエハエッジ部52と言う)を有している。前記SiO₂膜62は、半導体基板61のウエハエッジ部52より内側のパターン形成領域(フィールド部)51に形成されている。

【0007】上記のようなCu埋込配線の製造方法において、CMP終了後、図6(c)に示すように、ウエハエッジ部にCMPにより除去されなかったCu膜64bが残ることがある。このウエハエッジ部に残存するCu膜64bは、配線溝63内のCu膜64aとは処理によって受ける酸化の状態も異なっており、またCMPで除去したCu膜64等の汚染物がCu膜64bに付着することがある。そのため、ウエハエッジ部に残留したCu膜64bは非常に汚染を受けやすい。このように汚染されたCu膜64b上にP-SiN膜65を形成した場合、Cu膜64b上のP-SiN膜66がCu膜64bから剥離して膨れたり、飛散してダストの原因となることが考えられる。また、このダストが半導体基板上的他の部分に付着した場合、配線のオープンやショート、あるいは後の工程における例えばCMPにおいて、配線に傷を付けるなどの問題があった。

【0008】本発明は上記課題を解決するためになされたものであり、その目的とするところは、ウエハエッジ部の汚染による影響を除去して、絶縁膜の膨れや剥離が生じることなく歩留まりを向上することが可能な半導体装置の製造方法を提供するものである。

【0009】

【課題を解決するための手段】前記目的は、本発明の製造方法によって達成される。本発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜に溝を形成する第2の工程と、前記半導体基板の全面上に導電性材料膜を形成して前記溝中に前記導電性材料を充填する第3の工程と、前記第1の絶縁膜上の前記導電性材料膜を除去する第4の工程と、前記第1の絶縁膜の周縁に位置する前記半導体

基板上的前記導電性材料膜を除去する第5の工程と、前記半導体基板の全面上に第2の絶縁膜を形成する第6の工程とを含むことを特徴とする。

【0010】前記第5の工程における前記導電性材料膜の除去は、ウェットエッチングによって行うことができる。前記第5の工程における前記導電性材料膜の除去は、半導体基板の周縁部分にレーザを照射して残存する前記導電性材料膜を蒸発させて除去することもできる。

【0011】また、前記第5の工程における前記導電性材料膜の除去は、化学的機械研磨によって行われてもよい。前記第5の工程における前記導電性材料膜の除去は、半導体ウエハ外周部のパターンの形成されていない領域に対して行われる。前記導電性材料膜としては、Cu膜が通常使用されているが、その他の導電性材料を使用することも可能である。

【0012】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。図1に本発明の半導体装置の製造工程を示す。図1(a)に示すように、例えばシリコンからなる半導体基板11上にCVD法により絶縁膜としてSiO₂膜12が形成される。このSiO₂膜12上に、図示されていない所定のパターンを有するレジストマスクが形成される。次に、このレジストマスクを用い、リソグラフィ、反応性イオンエッチングを行うことにより、SiO₂膜11の表面に複数の配線溝13が形成される。

【0013】次に、図1(b)に示すように、半導体基板11の全面上にスパッタリングにより導電性材料膜としての例えばCu膜14が形成される。ここで、Cu膜14下に図示せぬバリアメタル膜を同時に形成してもよい。その後、リフローによりCu膜14の一部が溶融して配線溝13中に流入し、それによってCuが配線溝13中に埋め込まれる。

【0014】この後、図1(c)に示すように、フィールド部の不要なCu膜14がCMPにより除去される。以上の工程は、図6に示す従来技術の製造方法と同様である。

【0015】次に、本発明の製造方法では、P-SiN膜を形成する前に、図1(d)に示すように、ウエハエッジ部に残留したCu膜14bが除去される。このCu膜14bの解除方法については後述する。その後、図1(e)に示すように、半導体基板11の全面上にP-SiN膜15が形成され、一層目のCu埋込配線の形成が終了する。

【0016】この後、必要に応じて、次の配線が形成される。すなわち、図1(f)に示すように、P-SiN膜15上に例えば第2のSiO₂膜16を形成する。次に、図1(a)乃至(e)と同様の工程により、SiO₂膜16の表面に配線溝13が形成され、この配線溝13がCu膜17で埋め込まれる。次に、このCu膜17

で埋め込まれたSiO₂膜16上にP-SiN膜18が形成され、二層目のCu埋込配線の形成が終了する。

【0017】[第1の実施例] 図2は、ウエハエッジ部52のCu膜14bを除去するための第1の実施例を示している。この実施例は、例えばテフロン製のウエハエッジエッチング用ヘッド21を用いてウェットエッチングを行い、ウエハエッジ部52のCu膜14bを除去する。

【0018】この方法では、エッチング液として例えばフッ硝酸溶液が使用される。ここで、エッチング液はリン酸系溶液でもよい。このフッ硝酸溶液は、ウエハエッジ部52に沿って位置している供給ノズル22により、エッチング用ヘッド21に供給される。このエッチング用ヘッド21はウエハエッジ部52に当接して回転する構造とされている。エッチング用ヘッド21に供給されたフッ硝酸溶液はウエハエッジ部52のみに供給され、そこに残留しているCu膜14bがエッチングにより除去される。このようにして、エッチング用ヘッド21を矢印A方向に回転させながら、半導体ウエハを矢印B方向に回転することにより、半導体ウエハのウエハエッジ部52に残ったCu膜14bをエッチングして除去することができる。

【0019】以上のように、半導体ウエハのエッジ部に残留するCu膜14bを除去することによって、ウエハエッジ部52におけるP-SiN膜65の膨れ及び剥離を防止することができる。

【0020】[第2の実施例] 図2は、ウエハエッジ部52のCu膜14bを除去するための第2の実施例を示している。この実施例は、例えばXeClエキシマレーザ31を半導体ウエハのウエハエッジ部52に照射し、ウエハエッジ部52に残存するCu膜14bを蒸発させて除去する。

【0021】この場合、半導体ウエハを図示矢印方向に回転させながら、ウエハエッジ部52に順次XeClエキシマレーザ31を照射し、ウエハエッジ部52に残存するCu膜14bを瞬間的に蒸発させる。この際、Cu膜14bは等方的に蒸発するため、蒸発したCu蒸気が半導体ウエハの中央領域に付着するおそれがある。そのため、XeClエキシマレーザ31を照射部近傍に噴射ノズル32が配置され、この噴射ノズル32から半導体ウエハの外周方向に例えばArガスを例えば5×10⁵Pa程度の圧力で噴出させ、蒸発したCuをパターン形成領域51の外に排気する。ここで、噴出されたCuを吸い取ってもよい。

【0022】この方法によっても、Cu膜14bを除去することができ、実施例1と同様にP-SiN膜65の膨れ及び剥離を防止することができる。

【第3の実施例】 図4は、ウエハエッジ部52のCu膜14bを除去するための第3の実施例を示している。この実施例は、CMPによりウエハエッジ部52のCu膜

14bを除去する。

【0023】すなわち、図示矢印方向に回転された半導体ウエハのウエハエッジ部52に、スラリー供給ノズル42はパターン形成領域51側から半導体ウエハの外部方向に向けてスラリーをウエハエッジ部52に供給する。研磨布を表面に巻いた研磨ヘッド41を図示矢印方向に回転して接触させる。このようにして、スラリーを供給しながら、研磨ヘッド41をウエハエッジ部52に接触させて機械的に研磨することにより、ウエハエッジ部52に残存するCu膜14bを除去することができ

【0024】表1は、従来の方法と第1乃至第3の実施*

*例の方法を用いて、開口径が $0.7\mu\text{m}$ 、深さが $1.0\mu\text{m}$ のビアホールによる30000個のビアホールチェーンの歩留まりを比較したものを示す。このビアホールは、一層目のCu埋込配線と二層目の埋込配線とを接続するものであり、このビアホールと二層目の埋込配線は、例えば周知のデュアルダマシン法を用いて形成される。表1から明らかなように、従来例の歩留まりが78.4%に対し、第1、第2、第3の実施例の各歩留まりは、それぞれ99.8%、99.5%、100%となり、大幅に歩留まりが向上したことが分かる。

【0025】

【表1】

従来例	第1の実施例	第2の実施例	第3の実施例
78.4%	99.8%	99.5%	100%

尚、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0026】

【発明の効果】以上説明したように本発明によれば、ウエハエッジ部から汚染したCu膜を除去しているため、絶縁膜の膨れや剥離に起因するダストが発生せず、配線の大幅な歩留まりが向上できる半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の製造工程を示す断面図。

【図2】本発明に係わる半導体装置の第1の実施例を示す概略的斜視図。

【図3】本発明に係わる半導体装置の第2の実施例を示す概略的斜視図。

【図4】本発明に係わる半導体装置の第3の実施例を示す概略的斜視図。

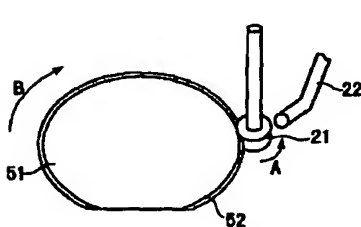
【図5】パターン形成した半導体ウエハの斜視図とウエハエッジ部の断面図。

【図6】従来技術による半導体装置の製造工程を示す断面図。

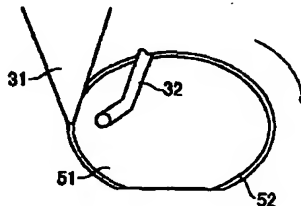
【符号の説明】

- 11…半導体基板（Si基板）、
- 12…絶縁膜（ SiO_2 膜）、
- 13…配線溝、
- 14…導電性材料膜（Cu膜）、
- 15…絶縁膜（P-SiN膜）、
- 21…エッチング用ヘッド、
- 22…エッチング液供給ノズル、
- 31…エキシマレーザー光、
- 32…噴射ノズル、
- 41…研磨ヘッド、
- 42…スラリー供給ノズル。

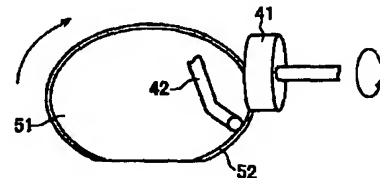
【図2】



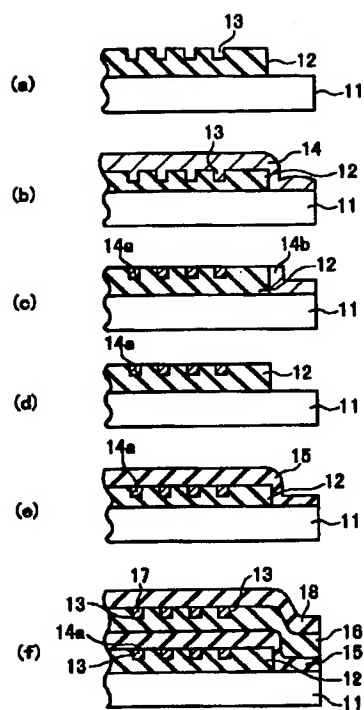
【図3】



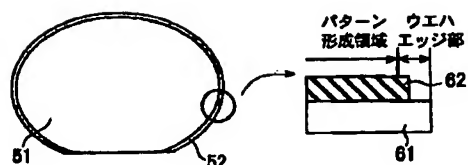
【図4】



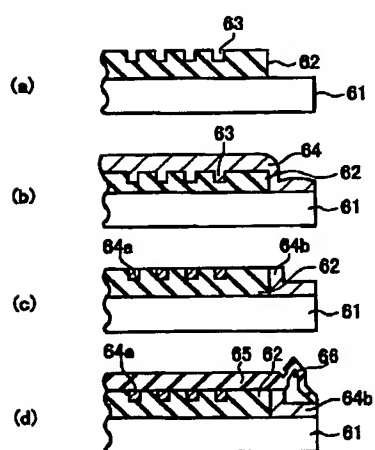
【図1】



【図5】



【図6】



フロントページの続き

(72)発明者 岩出 健次
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 北村 敏彦
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内
(72)発明者 間瀬 康一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 八尋 和之
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 冨田 健一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
Fターム(参考) 5F033 AA04 AA09 AA11 AA12 AA15
AA61 AA64 AA67 AA72 BA17
BA46 EA02 EA25 EA28